

2812
7-30-02

520.41288X00



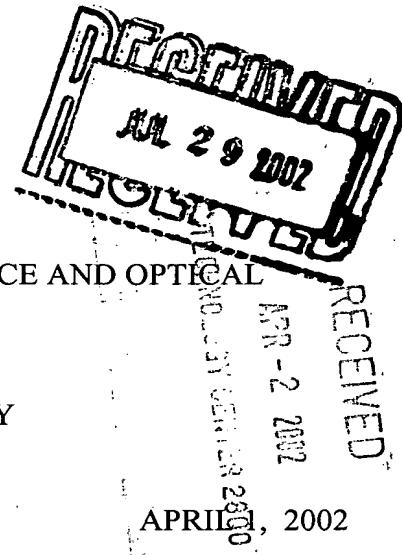
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): TOKUDA, et al

Serial No.: 10 / 083,395

Filed: FEBRUARY 27, 2002

Title: MOUNTING METHOD FOR OPTICAL DEVICE AND OPTICAL HEAD EQUIPMENT



LETTER CLAIMING RIGHT OF PRIORITY

Assistant Commissioner for
Patents
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on:

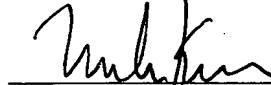
Japanese Patent Application No. 2002-025224

Filed: FEBRUARY 1, 2002

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Melvin Kraus
Registration No. 22,466

MK/rp
Attachment



日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 2月 1日

出願番号

Application Number:

特願2002-025224

[ST.10/C]:

[JP2002-025224]

出願人

Applicant(s):

株式会社日立製作所
日亜化学工業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 2月 26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願
【整理番号】 NT01P0990
【提出日】 平成14年 2月 1日
【あて先】 特許庁長官 殿
【国際特許分類】 H01S 03/02
【発明者】
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
【氏名】 徳田 正秀
【発明者】
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
【氏名】 立野 公男
【発明者】
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
【氏名】 佐野 博久
【発明者】
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
【氏名】 島野 健
【発明者】
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
【氏名】 木村 茂治
【特許出願人】
【識別番号】 000005108
【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000226057

【氏名又は名称】 日亜化学工業株式会社

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003094

【包括委任状番号】 9403294

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光デバイスの実装方法及び光ヘッド装置

【特許請求の範囲】

【請求項1】 少なくとも第1及び第2の電極が配置された基板と、

前記第1及び第2の電極の各々に対応した第3及び第4の電極を有する光デバイスとを、

前記光デバイスの第3の電極と第4の電極が搭載される面が、当該光デバイスの前記第3及び第4の電極が配置された面と反対側の一の面から、各々、第1の高さ($a h 1$)、第2の高さ($a h 2$)の高さを有し、前記 $a h 1 > a h 2$ であり、且つ

前記第1の電極と第2の電極の各電極は、少なくともはんだの下地領域を有し、このはんだの下地領域上にはんだを有し、

前記第1の電極のはんだの下地領域の面積を $a S 1$ 、前記第2の電極のはんだの下地領域の面積を $a S 2$ 、前記第3の電極の面積を $a S 3$ 、前記第4の電極の面積を $a S 4$ 、前記第1の電極のはんだの下地領域上に設けられるはんだの体積を $v 1$ 、前記第2の電極のはんだの下地領域上に設けられるはんだの体積を $v 2$ としたとき、 $v 1 \neq v 2$ であり、

且つ、当該はんだが溶融した後、前記基板の前記第1および第2の電極のはんだ下地領域の表面から前記光デバイスの対向する面までの高さが、 $a h 1 + v 1 / a S 1$ あるいは $a h 2 + v 2 / a S 2$ のいずれかに比例する高さになるよう前記 $a h 1$ 、 $v 1$ 、 $a S 1$ 、 $a h 2$ 、 $v 2$ 及び $a S 2$ の各値を設定して準備する工程、

前記基板の第1の電極上に前記光デバイスの前記第3の電極が、又前記第4の電極上に前記第4の電極がのるように、前記基板と前記光デバイスとを位置決めし、はんだを溶融させて、前記基板に前記半導体素子をはんだ付けする工程を有することを特徴とする光デバイスの実装方法。

【請求項2】 前記基板の配置された前記第1の電極と第2の電極の各々に対応して形成されたはんだの体積($v 1$ 、 $v 2$)が、前記基板における前記第1及び第2の電極のはんだの下地領域の各面積($a S 1$ 、 $a S 2$)で各々除した値(v

$v_1/aS1, v_2/aS2$ ）が、 $v_2/aS2 > v_1/aS1$ なる関係を有するように準備されたことを特徴とする請求項1に記載の光デバイスの実装方法。

【請求項3】 前記準備工程で、前記基板の第2の電極において、はんだが接して覆う領域の表面が、はんだの溶融によって初期のはんだの高さより高くする性質を有する材料領域を有し、前記第2の電極に準備されるはんだの面積は、当該はんだの下部のはんだの下地領域の面積より大きく形成されたことを特徴とする請求項1に記載の光デバイスの実装方法。

【請求項4】 前記準備工程で、前記基板の第2の電極において、はんだが接して覆う領域の表面が、はんだの溶融によって初期のはんだの高さより高くする性質を有する材料領域を有し、前記第2の電極に準備されるはんだの面積は、当該はんだの下部のはんだの下地領域の面積より大きく形成されたことを特徴とする請求項2に記載の光デバイスの実装方法。

【請求項5】 前記準備工程で、前記基板の第1の電極において、はんだが接して覆う領域の表面が、はんだの溶融によって初期のはんだの高さより低くする性質を有する材料領域を有し、前記第1の電極に準備されるはんだの面積は、当該はんだの下部のはんだの下地領域の面積より小さく形成されたことを特徴とする請求項1に記載の光デバイスの実装方法。

【請求項6】 前記準備工程で、前記基板の第1の電極において、はんだが接して覆う領域の表面が、はんだの溶融によって初期のはんだの高さより低くする性質を有する材料領域を有し、前記第1の電極に準備されるはんだの面積は、当該はんだの下部のはんだの下地領域の面積より小さく形成されたことを特徴とする請求項2に記載の光デバイスの実装方法。

【請求項7】 前記はんだの下地領域は、はんだ下地層とこの下部に配置される導体層とを有し、このはんだ下地層の上部に前記はんだ層を有することを特徴とする請求項1に記載の光デバイスの実装方法。

【請求項8】 前記はんだの下地領域は、はんだ下地層とこの下部に配置される導体層とを有し、このはんだ下地層の上部に前記はんだ層を有することを特徴とする請求項2に記載の光デバイスの実装方法。

【請求項9】 前記基板におけるはんだが接して覆う領域の表面が、シリコン酸

化膜、シリコン窒化膜、ポリイミド系有機高分子樹脂、クローム（Cr）、白金（Pt）、モリブデン（Mo）、タンゲステン（W）の群から選ばれた少なくとも一者であることを特徴とする請求項3に記載の光デバイスの実装方法。

【請求項10】 前記基板におけるはんだが接して覆う領域の表面が、シリコン酸化膜、シリコン窒化膜、ポリイミド系有機高分子樹脂、クローム（Cr）、白金（Pt）、モリブデン（Mo）、タンゲステン（W）の群から選ばれた少なくとも一者であることを特徴とする請求項4に記載の光デバイスの実装方法。

【請求項11】 前記はんだは金（Au）と錫（Sn）との合金であることを特徴とする請求項1に記載の光デバイスの実装方法。

【請求項12】 前記基板はシリコン基板であることを特徴とする請求項1に記載の光デバイスの実装方法。

【請求項13】 前記第1の電極のはんだ下地領域と前記第3の電極の各面積、及び前記第2の電極のはんだ下地領域と前記第4の電極の各面積が、略同一であることを特徴とする請求項1に記載の光デバイスの実装方法。

【請求項14】 光をディスク基板に照射して、情報の記録及び読み取りの少なくとも一者を行なわせる為の光源と、この光源の光出力の駆動回路とを有し、前記光源が、

少なくとも第1及び第2の電極が配置された基板と、

前記第1及び第2の電極の各々に対応した第3及び第4の電極を有する光デバイスとを、

前記光デバイスの第3の電極と第4の電極が搭載される面が、当該光デバイスの前記第3及び第4の電極が配置された面と反対側の一の面から、各々、第1の高さ（ah1）、第2の高さ（ah2）の高さを有し、前記ah1>ah2であり、且つ

前記第1の電極と第2の電極の各電極は、少なくともはんだの下地領域を有し、このはんだの下地領域上にはんだを有し、

前記第1の電極のはんだの下地領域の面積をaS1、前記第2の電極のはんだの下地領域の面積をaS2、前記第3の電極の面積をaS3、前記第4の電極の面積をaS4、前記第1の電極のはんだの下地領域上に設けられるはんだの体積

を v_1 、前記第2の電極のはんだの下地領域上に設けられるはんだの体積を v_2 としたとき、 $v_1 \neq v_2$ であり、

且つ、当該はんだが溶融した後、前記基板の前記第1および第2の電極のはんだ下地領域の表面から前記光デバイスの対向する面までの高さが、 $a_h 1 + v_1 / a_S 1$ あるいは $a_h 2 + v_2 / a_S 2$ のいずれかに比例する高さになるように、前記 $a_h 1$ 、 v_1 、 $a_S 1$ 、 $a_h 2$ 、 v_2 、及び $a_S 2$ の各値を設定して準備する工程、

前記基板の第1の電極上に前記光デバイスの前記第3の電極が、又前記第4の電極上に前記第4の電極がのるように、前記基板と前記光デバイスとを位置決めし、はんだを溶融させて、前記基板に前記半導体素子をはんだ付けする工程を有する実装方法によって実装された光源であることを特徴とする光ヘッド装置。

【請求項15】 前記光源が、所定基板に複数の半導体レーザ装置が搭載される構成を有し、且つ前記複数の半導体レーザ装置の内に、前記基板上の複数の電極に電気的に接続される複数の電極が、前記基板面に対向し且つ異なる水準の位置に形成された半導体レーザ装置を少なくとも一つ有し、前記半導体レーザ装置が、を有する光デバイスの実装方法になることを特徴とする請求項14に記載の光ヘッド装置。

【請求項16】 前記光源が、所定基板上に、複数の半導体レーザ装置、自動焦点検出用光検知器及びトラッキング用検出用光検知器がモノリシックに搭載され、且つ

前記複数の半導体レーザ装置の内に、前記基板上の複数の電極に電気的に接続される少なくとも第1及び第2の電極が、半導体レーザ装置の基板の一の面から相互に異なる高さに形成された半導体レーザ装置を少なくとも一つ有し、

前記半導体レーザ装置が

少なくとも第1及び第2の電極が配置された前記基板と、

前記第1及び第2の電極の各々に対応した第3及び第4の電極を有する半導体レーザ素子とを、

前記半導体レーザ素子の第3の電極と第4の電極が搭載される面が、当該半導体レーザ素子の前記第3及び第4の電極が配置された面と反対側の一の面から、

各々、第1の高さ（ $a h 1$ ）、第2の高さ（ $a h 2$ ）の高さを有し、前記 $a h 1 > a h 2$ であり、且つ

前記第1の電極と第2の電極の各電極は、少なくともはんだの下地領域を有し、このはんだの下地領域上にはんだを有し、

前記第1の電極のはんだの下地領域の面積を $a S 1$ 、前記第2の電極のはんだの下地領域の面積を $a S 2$ 、前記第3の電極の面積を $a S 3$ 、前記第4の電極の面積を $a S 4$ 、前記第1の電極のはんだの下地領域上に設けられるはんだの体積を $v 1$ 、前記第2の電極のはんだの下地領域上に設けられるはんだの体積を $v 2$ としたとき、 $v 1 \neq v 2$ であり、

且つ、当該はんだが溶融した後、前記基板の前記第1および第2の電極のはんだ下地領域の表面から前記半導体レーザ素子の対向する面までの高さが、 $a h 1 + v 1 / a S 1$ あるいは $a h 2 + v 2 / a S 2$ のいずれかに比例する高さになるように、前記 $a h 1$ 、 $v 1$ 、 $a S 1$ 、 $a h 2$ 、 $v 2$ 、及び $a S 2$ の各値を設定して準備する工程、

前記基板の第1の電極上に前記の前記第3の電極が、又前記第4の電極上に前記第4の電極がのるように、前記基板と前記半導体レーザ素子とを位置決めし、はんだを溶融させて、前記基板に前記半導体レーザ素子をはんだ付けする工程を有する実装方法によって実装された半導体レーザ装置であり、且つ

前記光源より前記ディスク基板に至る光源、ビームスプリッタ、対物レンズを経る光路が单一となされたことを特徴とする請求項14に記載の光ヘッド装置。

【請求項17】 前記基板が半導体基板であることを特徴とする請求項16に記載の光ヘッド装置。

【請求項18】 前記光源が、所定基板上に、複数の半導体レーザ装置、自動焦点検出用光検知器及びトラッキング用検出用光検知器、及び前記両検知器からの信号を增幅する增幅器とがモノリシックに搭載されていることを特徴とする請求項16に記載の光ヘッド装置。

【請求項19】 前記基板と前記半導体レーザ装置の間に高熱伝導率を有する材料層を有することを特徴とする請求項16に記載の光ヘッド装置。

【請求項20】 前記基板と前記半導体レーザ装置の間に応力緩和をなし得る材

料層を有することを特徴とする請求項16に記載の光ヘッド装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、素子外形に段差を有する光デバイスを基板上へフェースダウン搭載する実装方法及び実装構造に関するものである。更には、本発明は、こうした実装方法や実装構造による光デバイスを搭載した光集積モジュール装置、それらを用いた集積光ヘッド装置などの光装置に関するものである。

【0002】

【従来の技術】

波長410nm程度の青色レーザ光を発振できる窒化物半導体レーザ装置は、次の構成を有している。即ち、窒化ガリウム(GaN)基板上に、結晶成長方法にて活性層となるInGaNやクラッド層となるAlGaNからなる窒化物半導体材料を結晶成長している。

【0003】

こうした青色半導体レーザが実用化されると、現行の波長650nm程度の赤色レーザ光を光源とするDVD装置の記録容量は約4倍となる。この観点から、青色半導体レーザは、早期の実用化が期待されている。しかしながら、大口径のGaN基板が得られないため、格子定数の極めて近いサファイア(Al_2O_3)基板を用いて結晶成長している。素子外形に段差を有する光デバイスの代表例はこのGaN系半導体レーザ素子である。この為、通例、絶縁体であるサファイア上に形成されたGaN系半導体レーザのP電極およびN電極は、同一表面に形成され、他方、活性層側であるP電極はN電極より、例えば、約3μm高くなっている。光デバイスの特性および寿命を向上させるためには、フェースダウンで搭載する方が望ましい。しかし、素子搭載用の基板に対して、前述の素子外形に段差を有する面を対向させて搭載することが必要となる。この為、現状のGaN系半導体レーザ素子のような素子外形に段差を有するP電極とN電極の電気的接続を実施するには、従来とは異なる実装方法が必要である。即ち、従来の多くの素子では、P電極もしくはN電極は、素子外形の表裏の一面に形成可能である。この為

、絶縁性基板上に形成される窒化物半導体レーザ装置におけるような問題はなかったのである。

【0004】

図7は窒化ガリウム系化合物半導体レーザ素子の基板への搭載例を示す断面図である。レーザダイオードチップ108はサファイア基板101上に積層された構造を有している。この窒化ガリウム系化合物半導体層102を有するレーザダイオードチップ108は、結晶積層体の同一面側に、正電極104と負電極103が形成されている。そして、図7から明らかなように、光デバイスの外形は段差を有し、前記正電極104と負電極103は、この段差を形成する異なる水準の面に形成されている。

【0005】

一方、絶縁性のヒートシンク105は、ヒートシンクの同一面側に、正電極106と負電極107とがメタライズされて形成されている。それらヒートシンク上の各電極とこれらの各電極に対応してレーザダイオードチップ108の各電極104、103の電極同士が接続されている。こうした接続法は、結晶成長基板側ではなく、レーザダイオードチップ108の活性層を構成する接合面がヒートシンク105を覆うように接続されるので、フェースダウン（或いはジャンクションダウンとも称される）による搭載と称されている。尚、符号109は接続用のハンダである。こうした構成は、例えば、特開平7-235729号公報に開示されている。

【0006】

【発明が解決しようとする課題】

本発明の大きな目的は、搭載用基板に対向する表面に段差を有する光デバイスを、フェースダウンで良好に搭載する方法を提供することである。更に、本発明の別な目的は、当該光デバイスを用いた光ヘッド装置の小型化、薄型化を実現することである。以下に、その技術的課題を詳細に説明する。

【0007】

前述のフェースダウンによる搭載を行なう場合、次のような難点が発生する。図8の（a）、（b）は、素子の搭載表面に段差がある光デバイス110を、フ

エースダウンで搭載する方法の一例をその手順に従って示した断面図である。

【0008】

図8の(a)はエースダウンで搭載する前の状態を示す。光デバイスの搭載用の基板に対向する面に光デバイスのP電極111およびN電極112が形成され、一方、搭載用の基板119における、これと対向する位置にP側配線パターン113およびN側配線パターン114が設けられている。更に、接続用のはんだ115、116が、P側およびN側とも同じ高さで形成されている。

【0009】

図8の(b)は、ハンダ溶融で接続した状態を示す。光デバイス110を位置合わせ後、光デバイス110の上から約10gの荷重を加え、はんだ融点以上の温度まで加熱する。はんだ115、116は溶融し、光デバイス110のP電極111およびN電極112に溶融はんだが接触する。こうして、溶融はんだと各電極とが反応することにより、搭載用基板とのはんだ接続が完了する。

【0010】

しかしながら、図8の(b)に見られるように、活性層側のP電極111は基板に対向する面とは反対側の面から高い位置の面(凸状部と略称する)に形成されている。従って、特に、この凸状部によって、溶融したはんだは、荷重印加により潰される。そして、余剰はんだはP側配線パターン113の外へ流出する。この状態が図8の(b)内に矢印で示される。N側の配線パターン114へ流出したはんだ117により、P電極113とN電極114間とでショートが発生する恐れがあった。図8の(c)は、流出したはんだによるショートを防止するため、搭載用基板のP側の配線パターン113とN側の配線パターン114との間に、流出はんだ受け用の溝118を形成した例である。しかしながら、この方法では溝形成プロセスが増える。更に、溝を形成した個所での基板割れが発生する難点を有する。本発明はこうした難点を解決するものである。

【0011】

又、最近では、波長780nmのCD、CD-ROM、CD-R、CD-Rewritable仕様と、波長650nmのDVD、DVD-ROM、DVD-RAM仕様の各種光ディスクをいずれもかけることのできる光ディスク装置が登場

した。これらの装置の光源では、異なる波長の半導体レーザ毎に光源部と光検知器が分離して設けられている。更に、将来的には、記録密度をさらに向上した青色、或いは紫色以下の短波長レーザが使われる状況にある。従って、光ヘッドの部品点数増加は避けられない見通しである。この為、これまでの技術では、装置全体の薄型化、小型化が抱える難点を完全に解決されたとは言い難い状況である。本発明はこうした要請にも応えるものである。

【0012】

【課題を解決するための手段】

本発明の骨子は次の通りである。即ち、少なくとも第1及び第2の電極が配置された基板と、前記第1及び第2の電極の各々に対応した第3及び第4の電極を有する光デバイスとを準備する。本発明は、前記光デバイスの有する第3の電極と第4の電極が搭載される面が、当該光デバイスの前記第3及び第4の電極が配置された面と反対側の面から、各々、相互に異なる第1の高さ、第2の高さを有するような光デバイスを、前記基板に良好に搭載せんとするものである。

【0013】

前記第1の電極と第2の電極の各電極は、少なくともはんだの下地領域を有し、その下部の導体層に接続される。はんだはこのはんだの下地領域に直接搭載される。そして、前記光デバイスの各電極の位置の応じて、溶融前に準備するはんだの体積を調整する。実際的な方策としては、前記はんだの下地領域の面積とこの上部に形成されたはんだ層の面積の面積比を、各電極毎に異なるように設定する。尚、このはんだの設け方の詳細は後述する。

【0014】

前記基板及び光デバイスの対向する相互の各電極を対向させて、はんだ溶融によって電気的に接続する。この時、前記はんだ溶融によって、前記第1の電極と第2の電極の少なくとも一者に対応するはんだの高さ及び面積とが制御され、前記光デバイスの各電極とこれらに対応する前記基板の各電極とが各々電気的に良好に接続される。

【0015】

この場合、前記基板におけるはんだが接して覆う領域の表面の性質によって二

つな場合が考えられる。即ち、はんだの溶融によって初期のはんだの高さより高くなる性質を有する材料と、はんだの溶融によって初期のはんだの高さより低くなる性質を有する材料とである。はんだの溶融によって初期のはんだの高さより高くなる性質を有する材料は、いわゆるはんだの濡れ性が低い材料であり、一方、はんだの溶融によって初期のはんだの高さより低くなる性質を有する材料は、いわゆるはんだの濡れ性が高い材料である。

【0016】

前記基板におけるはんだが接して覆う領域の表面を、はんだの溶融によって初期のはんだの高さより高くなる性質を有する材料とした場合、前記第3及び第4の各電極が形成された第1の高さ及び第2の高さの内、当該光デバイスの電極が配置された面と反対側の面より低い高さに配置された電極に対応する前記はんだの面積は、当該はんだの下部のはんだの下地領域の面積より大きく形成する。簡潔に述べれば、基板の電極の内、基板と光デバイスの対向面の間隔が大きい個所に対応する電極のはんだ下地領域に、この性質の表面を用いるのが好適である。そして、他方の電極では、はんだの高さは大きくは変化しないようにするのが好適である。この為には、はんだの下地領域の面積と準備するはんだの面積とをほぼ同じ面積としておくのが、実際的である。

【0017】

他方、前記基板におけるはんだが接して覆う領域の表面が、はんだの溶融によって初期のはんだの高さより低くなる性質を有する場合、前記第3及び第4の各電極が形成された第1の高さ及び第2の高さの内、当該光デバイスの電極が配置された面と反対側の面より高い高さに配置された電極に対応する前記はんだの面積は、当該はんだの下部のはんだの下地領域の面積より小さく形成する。簡潔に述べれば、基板の電極の内、基板と光デバイスの対向面の間隔が小さい個所に対応する電極のはんだ下地領域に、この性質の表面を用いるのが好適である。そして、他方の電極では、はんだの高さは大きくは変化しないようにするのが好適である。この為には、はんだの下地領域の面積と準備するはんだの面積とをほぼ同じ面積としておくのが、実際的である。

【0018】

以上、本願発明思想の骨子を説明してきたが、以下に、はんだ及び各電極の設定方法についての詳細を具体的に説明する。尚、以下の説明で理解を容易にする為、図2より図5を参照し、図面中の具体的な参照符号を引用するが、これはあくまで一例としての引用である。本発明は、具体的事例以外の諸形態を有することはいうまでもない。

【0019】

基板121の半導体素子120が搭載される面に形成された第1の電極及び第2の電極の各はんだ下地領域(127、128)の面積を、各々aS1、aS2とする。これら第1及び第2の電極のはんだ下地領域上に設けられるはんだ(124、125)の体積を、各々v1及びv2とする。本発明によれば、 $v_1 \neq v_2$ である。

【0020】

次に、この基板にフェースダウン実装される半導体素子は次のような断面を有する外形形状である。半導体素子の一の面140から高さa h1の面に第3の電極122、前記一の面140から高さa h2の面に第2の電極123が形成される。この時、 $a h1 > a h2$ である。前記第3の電極122の面積をaS3、前記第4の電極123の面積をaS4とする。

【0021】

前記第1の電極127は前記第3の電極122と接続され、前記第2の電極128は前記第4の電極123と接続される。これら接続される一対の電極の面積は相互に同じ面積とするのが実際的である。即ち、 $aS1 = aS3$ 及び $aS2 = aS4$ である。勿論、これらの面積を相互に異にして用いることも可能である。

【0022】

本発明の実装方法によれば、前記半導体素子を前記基板に面実装した時の、半導体素子が対向する各面の高さが、前記基板の各電極面に対してほぼ一定値Hとなるように、前記の各値a h1、a h2、aS1、aS2、v1及びv2を設定する。これらの6つの値の内、少なくとも2つの値は予め定められ、これに応じて、残りの各値が定められる。即ち、前記一定の高さHが、 $a h1 + v1 / a S1$ あるいは $a h2 + v2 / a S2$ のいずれかに比例する高さになるように、前記

各値が設定し、準備される。この各値の設定にあたっては、前述したはんだが接して覆う領域の表面の性質を考慮することは言うまでもない。尚、上述の説明で、はんだ下地領域の面積を $aS1$ 、 $aS2$ と表記したが、図4及び図5では、準備するはんだの体積が異なるので、 $aS'1$ 、 $aS'2$ と表記されている。但し、一般的説明では代表して、これらのはんだ下地領域の面積を $aS1$ 、 $aS2$ と表記する。

【0023】

尚、前述の基板のはんだ下地領域は、多くは3層からなる多層膜から構成する。第1層をチタン (Ti) またはクロム (Cr)、第2層を白金 (Pt)、モリブデン (Mo)、タンゲステン (W) のいずれか1つで形成し、第3層 (最上層) を金 (Au) または銀 (Ag) で形成するのが好適である。はんだはAuとSnからなるものが代表例である。前記はんだの組成は、Snが20重量%から33重量%の範囲で、残部がAuであるものが多用される。

【0024】

又、基板にはシリコンが通常用いられる。基板上の表面がはんだに対する濡れ性の低い材料として、シリコン酸化膜やシリコン窒化膜などの無機物やポリイミド系の有機物が代表例である。更に、同濡れ性の低い材料として、クローム (Cr) や白金 (Pt) やモリブデン (Mo) などの金属も用いることが出来る。

【0025】

本明細書での実施例などでは、一組の電極の断面図で説明されるが、電極のはんだと接続する領域が複数領域存在する場合などに、本発明が実施されることも云うまでもない。例えば、図1の例は、N電極123のはんだと接続する部分は3つの分離された部分で構成され、一方、P電極124は一つの領域で電極が構成されている。前記3つの分離された部分が、更に異なる数の分離領域であっても良く。又、一つの領域で電極が複数の分離領域として構成されても良い。これらの形態は、実施製品での要請に応じて選択される。

【0026】

本発明の光ヘッド装置は、光をディスク基板に照射して、情報の記録及び読み取りの少なくとも一者を行なわせる為の光源と、この光源の光出力の駆動回路と

を有し、前記光源にこれまで説明した実装方法になる光デバイスを用いるものである。実装基板上の複数の電極に電気的に接続される複数の電極が、基板面に対向し且つ異なる水準の位置に形成された半導体レーザ装置であっても、本発明の実装方法によれば、良好に実装されるので、形態の異なる複数の光デバイス、例えば半導体レーザ、光受光装置、或いは半導体装置、例えば駆動回路、増幅器などを集積化して形成することが出来る。ここで、形態の異なる素子とは、実装用基板に搭載するべき電極の基板面に対する水準が異なるような電極を有するものを指す。従って、略同一平面に電極が配置された素子とは異なる実装方法を用いる必要があるのである。

【0027】

ここで、光ヘッド装置の光源部には、一つの基板に、複数の半導体レーザ装置、自動焦点検出用光検知器及びトラッキング用検出用光検知器、前記両検知器からの信号を増幅する増幅器、或いは必要に応ずる半導体素子などの必要部材などを搭載することを可能とする。又、基板に半導体基板を用いた場合は、所望の素子をモノリシックに組み込むことが出来ることは言うまでもない。

【0028】

こうして実現される光源部は、光ヘッド装置において、前記光源より前記ディスク基板に至る光源、ビームスプリッタ、対物レンズを経る光路が单一となすことを可能とする。その他の実際的な構成例は発明の実施の形態の欄で説明される。

【0029】

【発明の実施の形態】

図1は、本発明の実装構造の一つの形態を示す斜視図である。光素子搭載用の基板121に光デバイス120が対向して配置されている。そして、この光デバイス120は、前記光素子搭載用の基板121と対向する面に段差を有している。この段差を形成する第1の水準の表面と第2の水準の表面の各々に、当該光デバイスのP電極122とN電極123が設けられている。こうした光デバイスの代表的な例は、例えば青色半導体レーザ（青色Laser Diode：以下、青色LDと略記する）である。一般に、デバイスの製造方法の制約から、青色L

Dは光を照射する活性層を有するP電極に比べ、N電極は約3μm低い位置に形成された構造となっている。

【0030】

デバイス特性や信頼性の向上を目的として、青色LD120のフェースダウン実装する場合の実装構造が図1である。N電極123が搭載される面よりも、P電極122が搭載される面の方がそのデバイスのもう一方の面からの距離が大である。P電極122に対向する搭載用の基板121上のはんだ124厚さは3μmとし、N電極側のはんだ125厚さは6μmとした。こうすることで、青色LD120のP電極122とN電極123との段差3μmをはんだ厚さの違いで吸収でき、青色LDと基板との良好な電気的接続且つ固定が可能となった。

【0031】

図2及び図3は、本発明による第1のLDフェースダウン実装方法の詳細を説明する図である。図2の(a)は、LD搭載前の基板及び光デバイスの断面図である。図2の(b)は基板の上面図である。図3の(a)、(b)は図2の状態に続く製造工程順の断面図である。

【0032】

青色LD120を搭載する素子搭載用の基板121はシリコン(Si)からなり、その基板121の表面には、はんだと濡れ性の低いシリコン酸化膜126が形成されている。このシリコン酸化膜126は絶縁性の保護膜である。更に、青色LD120のP電極122とN電極123とに対向する位置に、P側はんだ用の下地パターン127とN側はんだ用の下地パターン128が形成されている。図中、符号131は光デバイスの活性領域を示し、符号129、130ははんだ下地領域と接続されており、各電極の取り出し端を示している。尚、その接続部は前記上面図には表れていない。

【0033】

基板側に搭載されるはんだは、次の通り準備される。図2の(b)に示すように、P側はんだ用の下地メタルパターン127の面積(aS1)とはんだパターン124を面積(SS1)とは略同一面積とする。その厚さ(t1)は3μmとした。一方、N電極側には、はんだパターン125を、N側はんだ用の下地メタ

ルパターン128の面積(aS2)の2倍の面積(SS2)で形成する。その厚さ(t2)は3μmである。

【0034】

次に、図3の(a)に示すように、はんだを加熱溶融すると、P電極側のはんだ124は、下地メタルパターン127と同面積であるため、溶融したはんだの高さは初期のはんだ高さ(h1)とほぼ同じになる。一方、N電極側は、光デバイス表面の搭載用基板とは反対の面から低い位置にある電極に対向する基板121上のN側下地メタルパターン128の面積より、はんだパターン125の面積が大きいため、初期のはんだ高さより高く(h2)なる。これは、はんだに対する濡れ性の低い材料であるシリコン酸化膜(SiO₂)126上にある溶融はんだ125は、表面張力により、シリコン酸化膜126上から離脱し、濡れ性の良い電極上に集まる為、初期のはんだ高さより高く(h2)なるのである。こうして、図3の(b)に示すように、光デバイスの段差の、搭載用基板とは反対の面から低い位置にある電極も含めて良好にはんだ接続された。

【0035】

図4及び図5は本発明の第2のフェースダウン実装方法を示す。図4(a)はLD(Laser Device:以下、LDと略称する)搭載前の各部材の断面図である。このLDでは、LD120のP電極122側は、その結晶成長用の基板の一の面140より高い領域になり、N電極123側は低い領域となっている。LD120を搭載する基板はシリコン(Si)121からなり、LD120のP電極122とN電極123とに対向する位置に、P側はんだ用の下地パターン127とN側はんだ用の下地パターン128が形成されている。尚、図2と同様の個所は同じ符号で示されている。

【0036】

はんだの形成方法は次の通りである。図4の(b)の平面図に示すように、N側はんだ用の下地メタルパターン128の面積(aS'2)と同面積(面積(aS'S2)と表示される)のはんだパターン125'を形成する。その厚さ(t'2)は6μmである。一方、P電極側には、P側はんだ用の下地メタルパターン127の面積(S'1)の1/2倍の面積(S'S1)ではんだパターン12

4' を厚さ (t '1) 6 μ m で形成する。

【0037】

次に、はんだ124'、125'を加熱溶融すると、N電極側のはんだ125'は下地メタルパターン128と同面積であるため、溶融したはんだの高さは初期のはんだ高さ (h'2) とほぼ同じになる。一方、P電極側は、光デバイス表面の段差凸部に対向する基板上の下地メタルパターン127の面積より、はんだパターン124'の面積が小さいため、初期のはんだ高さより低くなる (h'1) (図5の(a))。これは、はんだに対する濡れ性の高い材料である金 (Au) 上にある溶融はんだは金メタル上を濡れ広がることによって実現される。こうして、図5の(b)に示すように、光デバイスの段差部を含めはんだは良好に接続、実装された。

【0038】

次に、はんだ層を局所的に形成する例を示す。図6の(a)より(d)は、はんだパターン形成の方法を説明する断面図である。

【0039】

シリコン (Si) 基板121表面に、熱酸化法を用いて SiO_2 絶縁膜126aを膜厚約 2000 Å 被着した。次に、通常のホトエッチング技術および蒸着法により、前記 SiO_2 絶縁膜126a上の、搭載する半導体レーザチップのP電極とN電極に対向する位置に、P側配線層およびN側配線層を設けた。これらの各配線層は、例えばTi層 (膜厚 1000 Å)、Pt層 (膜厚 1000 から 2000 Å)、Au層 (膜厚約 5000 Å) の積層膜である。

【0040】

更に、プラズマCVD法により、シリコン酸化膜126を形成する。そして、通常のホトエッチング法により、このシリコン酸化膜126の所定個所のシリコン酸化膜を選択的に除去する。この除去された開口部を覆って、はんだ下地用のメタル層127、128を形成する。このメタル層は、例えば、Ti層 (膜厚 1000 Å)、Pt層 (膜厚 1000 Å から 2000 Å)、Au層 (膜厚約 2000 Å) の積層膜である。この状態が図6の(a)である。

【0041】

こうして準備した基体上にレジスト膜140を形成する。そして、このレジスト膜140に、通常のホトレジスト技術により、P側はんだ用下地メタルパターン127上には、P側はんだ用下地メタルパターン127と同面積の窓141を設けた。一方、N電極側には、N側はんだ用下地メタルパターン128の面積の2倍の面積の窓142を形成した(図6の(b))。

【0042】

上記のレジスト膜を被着した状態で、この面にAuSnソルダー層143を膜厚約3μm被着した(図6の(c))。

【0043】

次いで、レジストを溶解しうる有機溶剤(例えばアセトン)中に試料を浸漬し、超音波振動を溶剤に加えてレジスト膜を溶解し、ソルダー層144、145を選択的に形成した(図6の(d))。同時に、レジスト膜上の金属膜が当然除去される。この方法はいわゆる「リフトオフ法」と称されている。

【0044】

尚、図には一つの素子のみが示されるが、量産に際しては、通常、一つのSiウエハに対して、複数の素子が形成されている。従って、最後にパターニングのピッチにしたがってSi基板をダイシングソーを用いて切断し、光素子搭載用配線基板121が製造される。

【0045】

金属の被着方法では、真空蒸着法を用いた例を述べたが、スパッター法、イオンプレーティング法、めっき法が応用できることは言うまでもない。更に、金属層の選択的な形成方法としてホトレジスト技術を用いたエッチング法やリフトオフ法、選択めっき法の他にメタルマスクなどを用いて選択蒸着法が採用できる。

【0046】

以上の説明では、はんだ下地用のメタルパターン127、128を構成する第1層目の金属層は、Si基板121に被着したSiO₂絶縁層126との密着性を高めるために使用しているコンタクト層である。従って、こうした層にTiの他に、例えばCrなども使用可能である。

【0047】

はんだ下地用のメタルパターン127、128を構成する第2層の金属は、第3層Auと第1層Tiとの相互拡散を防止するための拡散バリア層として作用するものである。従って、これらの層に、Ptの他に、例えばCr、Mo、Wなどの材料も使用できる。はんだ下地用メタルパターン127、128を構成する第3層目の金属は、バリア層上面の酸化を防止し、且つソルダとの濡れ性を確保する役割を持っている。従って、こうした層には、Au以外にAgなどの材料も使用可能である。

【0048】

更に、基板121上の表面には、はんだに対する濡れ性の低い材料として、シリコン酸化膜以外にシリコン窒化膜などの無機物やポリイミド系の有機物なども使用可能である。又、はんだに対する濡れ性の低い材料として、クローム(Cr)や白金(Pt)やモリブデン(Mo)などの金属なども使用できる。

【0049】

本実施例のはんだは、AuとSnからなるが、他のはんだを用いても差し支えない。他のはんだの例は、例えばPbSnやIn、SnAgなどが挙げられる。

【0050】

次に、本発明の光デバイスを適用した具体例を示す。本例は光ヘッドの例で、図9はこの光ヘッドの構成を示す概略説明図である。

【0051】

光ヘッドの光源を構成するに、半導体レーザ部、反射ミラー5、光検知器7、8、9などを有する集積モジュール100が準備される。この半導体レーザ部は、半導体基板1に、青色半導体レーザチップ4aと赤色半導体レーザ4bが搭載された構造となっている。尚、図中、符号2はレーザチップの取り付け面を示している。青色半導体レーザチップ4aは、これまで説明してきたような外形形状を有する。即ち、基板に搭載する面にP電極とN電極の両電極を持ち、且つこれらの両電極が、結晶成長用の基板に対して各々二つの水準の面の形成されている。一方、赤色半導体レーザチップ4bは、当該チップの裏表からそれぞれ電極を取り構造を有している。前記青色半導体レーザチップ4aの当該基板1への実装に際して、本願発明の実装方法が採用される。その具体的構造はこれまで説明し

てきたいずれの実施の形態をも採用することが出来る。従って、その実装方法の詳細説明は省略する。

【0052】

この集積モジュール100からの青色及び赤色の各レーザ光は、夫々、ビーム6a、6bとなり、コリメータレンズ10で平行光とされる。そして、立上げミラー11、回折格子板12などを経て対物レンズ13に至る。レーザ光は、この対物レンズ13を介して、光ディスク14面にスポット15、16として照射される。対物レンズ13は半導体レーザ波長に応じて複数個からなる場合、或いは、複数の波長の光を集光できる単体の場合がある。このレンズはアクチュエータ17により、光ディスクの回転に伴う動きに応じて記録面上に焦点合わせされ、且つトラッキング、即ち、ディスク面上の記録トラック18を追隨するものである。こうして、半導体レーザの駆動状態、即ち、オン・オフに応じて信号が光ディスク上にピットの列として記録され、或いは、既に記録されたピットを読み出しす為の信号となされる。

【0053】

このように、集積モジュール100に複数の半導体レーザを集積すれば、コリメータレンズ10、対物レンズ13、立ち上げミラー11などが一個となり、光ヘッドの光路を单一化することができる。

【0054】

即ち、本光ヘッドを使えば、次のような光装置を実現することが出来る。即ち、この例を掲げれば、例えば、(1) 厚さ1.2mmのDVDを、波長650nmの半導体レーザ4bで記録再生すること、或いは(2) 厚さ0.6mmのDVD-RAM、スーパーディスクを波長410nmの半導体レーザ4aで記録再生することができる。

【0055】

このように、本発明は各種光ディスクを記録再生できるドライバ装置全体の小型化、薄型化のためのブレークスルーを提供する。波長の異なる各種半導体レーザとこれらの異なる波長に対応する光検知器をマスク精度で位置合わせした上で該複数個の半導体レーザをハイブリッド集積化し、モノリシック並みに部品点数

を削減出来る。そして、従来、複数光路であった光ヘッドを单一の光路とすることが出来る。

【0056】

次に、DVD用集積基板の構成例を説明する。図10の(a)は、コリメートレンズ10側から見た前記半導体基板1の表面を具体的に示す。符号32aで示す8つの黒塗りの4分の1円は、上記回折格子23で分離された波長 λ_a のレーザビームを示し、32bで示す8つの塗りつぶさない4分の1円は回折格子12で分離された波長 λ_b のレーザビームに対応する。符号7は、焦点ずれ検出信号を得るための光検出素子である。この領域7は、波長 λ_a のレーザビーム32aを受光する8つの短冊型光検出素子7aと、波長 λ_b のレーザビーム32bを受光する8つの短冊型光検出素子7b、とからなる。焦点ずれ検出方法は、4分割ビームによるナイフェッジ方法(フーコー方法)を用い、図10の(a)に示したごとく、導電性薄膜33で結線すれば、ワイヤーボンディング用パット34のA端子とB端子から差動用の信号が得られる。尚、前記導電性薄膜33は、例えばTi/Pt/Auの積層体やAl等が用いられる。

【0057】

符号8はトラックずれ検出信号と情報再生信号を得るための光検出素子である。この光検出素子は、4つの光検出素子8の出力信号は、半導体基板上に形成したアンプ35を通りパット34のD端子とE端子とF端子とG端子から出力される。符号9は半導体レーザチップ4aと4bの発光光量を監視するための光検出素子である。光検出素子9の出力信号はパット34のC端子から出力される。点31aと31bは、半導体レーザチップ4aと4bから放射したレーザビーム6aと6bの半導体ミラー5面上の反射位置を示す。点31aと31bの間隔である半導体レーザチップ4aと4bの発光点間隔Dを、ほぼ $D = f_c \times (\lambda_b - \lambda_a) / P$ とすれば、波長 λ_a のレーザビームの集光位置と波長 λ_b のレーザビームの集光位置をほぼ一致させることが出来る。こうすることによって、本実施例のように、異なる波長のビームで光検出素子やアンプを共通化でき、半導体基板1の表面を節約できるばかりか、ワイヤーボンディング用パットや出力線の数を低減出来る。従って、半導体基板1を収納するパッケージの小型化にも効果があ

る。

【0058】

図10の(b)は、図10の(a)の点線AA'位置における半導体基板1の断面構造を示す。半導体ミラー5は、レーザチップ取付け面2に対して45度の角度で形成するのが好適である。この加工は、いわゆる異方性エッチングを用いて十分である。この異方性エッチングとは例えば、シリコン基板によるミラー面の加工では、シリコン(100)面を水酸化カリウム系の水溶液でエッチングすると、(100)面に対する(111)面のエッチング速度がほぼ2桁遅い為に、平坦な(111)面を斜面とする四角錐台状の凹部が形成されるという現象を利用するものである。この時、シリコン結晶の(111)面が(100)面となす角は約54.7度となる。従って、45度の半導体ミラーを形成する為には、例えば表面に対して結晶軸が傾斜したオフアングル約9.7度のシリコン基板を用いる必要がある。しかしながら、オフアングル角は、光検出素子や電子回路形成のための半導体プロセスの適合性も考慮して決める必要があり、半導体ミラー5が45度からずれる場合があり、レーザビーム6aや6bの出射方向が半導体基板1の垂直方向からずれる場合がある。

【0059】

次に、複数の半導体レーザをシリコン半導体基板に高い精度で搭載する方法を説明する。図11、12、及び13はこうした集積用基板への光素子のアライメントの形態を説明する図である。

【0060】

最初の例は、光検知器を形成したシリコン基板上と、半導体レーザ双方に位置合わせ用のインデックスマークをつけて、可視光、あるいは赤外光を照射し、それらの像をCCDなどの光電変換面に結ばせてコンピュータに取りこみ、各々のマークの重心を計算して位置合わせを行うものである。重心計算のため、位置合わせ精度はサブミクロンのオーダーで達成可能である。更に、複数の半導体レーザとモノリシック集積したシリコンとをインデックスマークにより高い位置合わせ精度でハイブリッド集積することを可能とする。

【0061】

図11は、本発明によるインデックスパターン400をシリコン基板1に付けたものの平面図である。符号401はソルダーパターンであり、この上に半導体レーザを半田接着する。ソルダーパターン401には、電極パターン402が繋げて形成される。一方、図12は対応する半導体レーザ4a、4bの裏面に形成したソルダーパターン501、及び位置合わせ用のインデックスパターン502である。

【0062】

図13は、基板102上のインデックスパターン400と半導体レーザ4a、4bの裏面上のインデックスパターン502を位置合わせする方法を説明するものである。この方法の概略は次の通りである。即ち、基板1及び半導体レーザ4a（或いは4b）を赤外線600で表面、或いは裏面から照明し、反射光、或いは透過光を顕微鏡601で受け、そこに付されたインデックスパターンを拡大してビデオモニタ602に映し出す。そして、コンピュータ603により各々のインデックスパターン400、502のセンター位置を算出し、二つのセンターの位置ずれがゼロになるまで、基板1、或いは半導体レーザを微動する。位置合わせが完了した時点でタクトボンドし、ソルダーリフロー炉にかけて半田接着を終了する。

【0063】

光検知器を形成したシリコン基板上に反射ミラーを形成する形態は極めて実際的である。即ち、9.7度近辺のオフ基板を用意し、シリコンの異方性エッチングにより45度近辺の反射ミラーを形成し、半導体レーザからのビームをこのミラーで反射させ、シリコン基板面に対し、ほぼ直角方向にビームを曲げるものである。

【0064】

図14、図15は集積用基板の放熱或いは応力緩和の為の構造を付加した例を示すものである。図14は、半導体レーザ4a、4bをミラー付基板1に半田実装した場合の断面図である。これは、図10の（a）のA-A'断面図である。この例は、例えば、シリコン基板1にミラー5が一体化して形成されている。半導体レーザの裏面に電極700、位置合わせ用のインデックスパターン502、

が形成されており、電極701、ソルダ702が形成された基板1上に半田付けされる。半導体レーザと基板の位置合わせはインデックスパターン502と703の間で行われる。半導体レーザ4a、4bからのビームは、発光点704を発してミラー5で反射され、ビームスプリッタ、対物レンズ、そして、光ディスクに至る。発光点704からのビームが基板の底面で蹴られないように、基板102には台座705が形成されている。

【0065】

更に、光検知器を形成したシリコン基板上に光検知器で発生した光電流を電気的に増幅するアンプをモノリシックに形成し、かつ、斜めミラー、位置合わせインデックスマークを付けたシリコン基板上に半導体レーザを半田付けする時に、半導体レーザから発生する熱を広く拡散させる目的で、半導体レーザとシリコン基板の間に熱伝導度の高い材料をはさむことは有用である。

【0066】

又、光検知器を形成したシリコン基板上に光検知器で発生した光電流を電気的に増幅するアンプをモノリシックに形成し、かつ、斜めミラー、位置合わせインデックスマークを付けたシリコン基板上に半導体レーザを半田付けする時に、半導体レーザとシリコン基板の熱膨張係数の差によって生じる応力を緩和するために、間に応力緩和の効果のある材料をはさむことも実用上有用である。

【0067】

図15は、放熱を向上させるために、半導体レーザの直下に、熱伝導率の高い材料800を層状に挟んだ例である。半導体レーザの活性層で発生する熱を直下で拡散し、より広い面積で熱伝導させ、ヒートシンクまでの熱抵抗を下げるものである。更に、同図に示す層800は、半導体レーザと半導体基板の熱膨張係数の差によって発生する応力を緩和させる働きを持たせることができる。

【0068】

図16は、多波長モジュールにおいて、半導体レーザを3個、例えば青色、赤色、及び赤外光を並べて実装した例の平面図である。基本的な構成は図9と同様であるので、半導体レーザの部分のみを説明する。これらの半導体レーザは、それぞれ、右から、波長410nm近傍の青紫色半導体レーザ810、波長650

nm近辺の赤色レーザ306、波長780nm近辺の赤外レーザ307である。それぞれに対応する光検知器304、303、811が、トラッキング用に3セット形成されている。こうして、この例はトラッキング用、再生信号用は1セットで兼ねる例を示している。これら三種の波長は、標準化が進行中のスーパーDVD、DVDそして、CDの記録、再生用光ディスクに対応するものである。

【0069】

光検知器を形成したシリコン基板上に光検知器で発生した光電流を電気的に増幅するアンプをモノリシックに形成し、且つ、斜めミラー、位置合わせインデックスマークを作り付ける形態も実際的である。

【0070】

図17は、本発明による集積モジュールの他の実施例の平面図である。本例は受光素子とアンプを一つの基板にモノリシックに集積した例である。即ち、シリコン、或いはGaN基板102に光検知器32a、32bからの光電流を増幅するアンプ900をモノリシックに形成するものである。こうして、部品点数削減による集積度の向上をはかることが可能となる。こうした例として、必要に応じて、他のCEIC (Optoelectric Integrated Circuit) の搭載が可能なことは云うまでもない。

【0071】

本発明によれば、窒化ガリウム系化合物半導体からなり、搭載表面に段差を有する青色LDチップのフェースダウン搭載が実現できる。よって、青色LDを含む多波長の光源を持つ、多波長集積モジュールによるスーパーDVD、DVDそして、CDの記録、再生用光ディスク装置を提供することができる。

【0072】

【発明の効果】

本発明の実装方法は、搭載用の表面に段差を有する光デバイスを、所望の実装用基板に良好に実装することを可能とする。

【0073】

更に、本発明の光ヘッド装置は、部品点数の削減を可能とする。従って、当該光ヘッド装置の小型化、薄型化に極めて有用である。

【図面の簡単な説明】

【図1】

図1は、基板に、搭載表面に段差を有する光デバイスを搭載する実装構造を説明する斜視図である。

【図2】

図2は、基板に、搭載表面に段差を有する光デバイスと基板を搭載する本発明の第1の実装方法を説明する図である。

【図3】

図3は、基板に、搭載表面に段差を有する光デバイスと基板を搭載する本発明の第1の実装方法を工程順に示した断面図である。

【図4】

図4は、基板に、搭載表面に段差を有する光デバイスと基板を搭載する本発明の第2の実装方法を説明する図である。

【図5】

図5は、基板に、搭載表面に段差を有する光デバイスと基板を搭載する本発明の第2の実装方法を工程順に示した断面図である。

【図6】

図6は、局所的にはんだを形成する方法の例を工程順に示す断面図である。

【図7】

図7は、これまでの窒化ガリウム系化合物半導体レーザ素子の基板への搭載例を示す断面図である。

【図8】

図8は、基板に搭載表面に段差を有する光デバイスを搭載する方法での難点を説明する断面図である。

【図9】

図9は、本発明による集積光源モジュールを搭載した单一光路を有する光ヘッド装置の例を示す概略説明図である。

【図10】

図8は、本発明による光源の構造を説明する図である。

【図11】

図11は、本発明による集積化光源の基板と位置合わせインデックス、半田パターン、電極の例を示す図である。

【図12】

図12は、半導体レーザに付けた位置合わせ用のインデックスパターンの例を示す図である。

【図13】

図13は、インデックス付の半導体レーザ光源と、対応するインデックスパターンの付いた集積用基板を位置合わせする方法を示す図である。

【図14】

図12は、図10の(a)のA-A'断面図である。

【図15】

図15は、半導体レーザ光源の放熱を促進する層を設けた集積用基板の例を示す断面図である。

【図16】

図16は、本発明による集積用基板に三種の半導体レーザ光源を搭載した例を示す平面図である。

【図17】

図17は、本発明による集積用基板にアンプ、光検知器をモノリシックに集積化した例を示す平面図である。

【符号の説明】

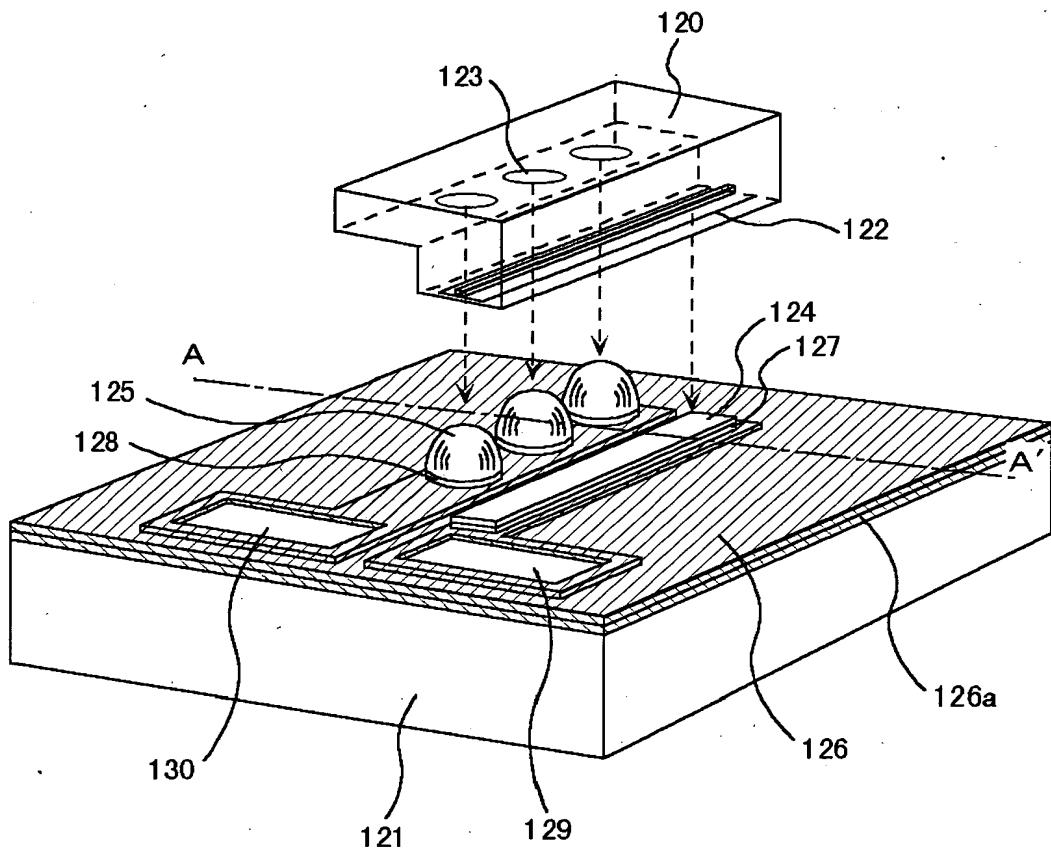
110、120：光デバイス、121：基板、111、122：LDのP電極、
 112、123：LDのN電極、113：基板のP配線、114：基板のN側配線、
 124、130、130'：基板のP側はんだ、125、129、129'：基板のN側はんだ。
 126：絶縁膜、127：基板のP側はんだ下地メタル、128：基板のN側はんだ下地メタル、140：レジスト、1：半導体基板、2：半導体レーザ取りつけ面、4a、4b：半導体レーザ、5：反射ミラー、6a、b：半導体レーザからのビーム、7：光検知器、8：光検知器、9：光モニター検知器、10：コリメータレンズ、11：立ち上げミラー、12：回折格子と波長

板の複合素子、13対物レンズ、14：光ディスク、15、16：光スポット、17：アクチュエータ、18：トラック、1：境界線、22：回折格子、23：回折格子、24：4分の1波長板、1a、1b：ミラー上のスポット、32a、2b：自動焦点検出光スポット、33：配線、34：電極パット、35：アンプ、00：パッケージ台、201：導通ピン、203：キャップ、204：ウインド、41：ケース、42：リードフレーム、43：台、44：ウインド、45：反射膜、400：インデクスマーカ、401：ソルダーパターン、402：電極パターン、01：半導体レーザの電極パターン、502：半導体レーザのインデクスマーカ、00：赤外線、601：赤外線カメラ、602：モニター、603：コンピュータ、704：半導体レーザの発光点、705：台、800：熱伝導度の高い材料、または、応力緩和材料、810：青紫色半導体レーザ、32c：光検知器、900：アンプ付きのO E I C 基板。

【書類名】 図面

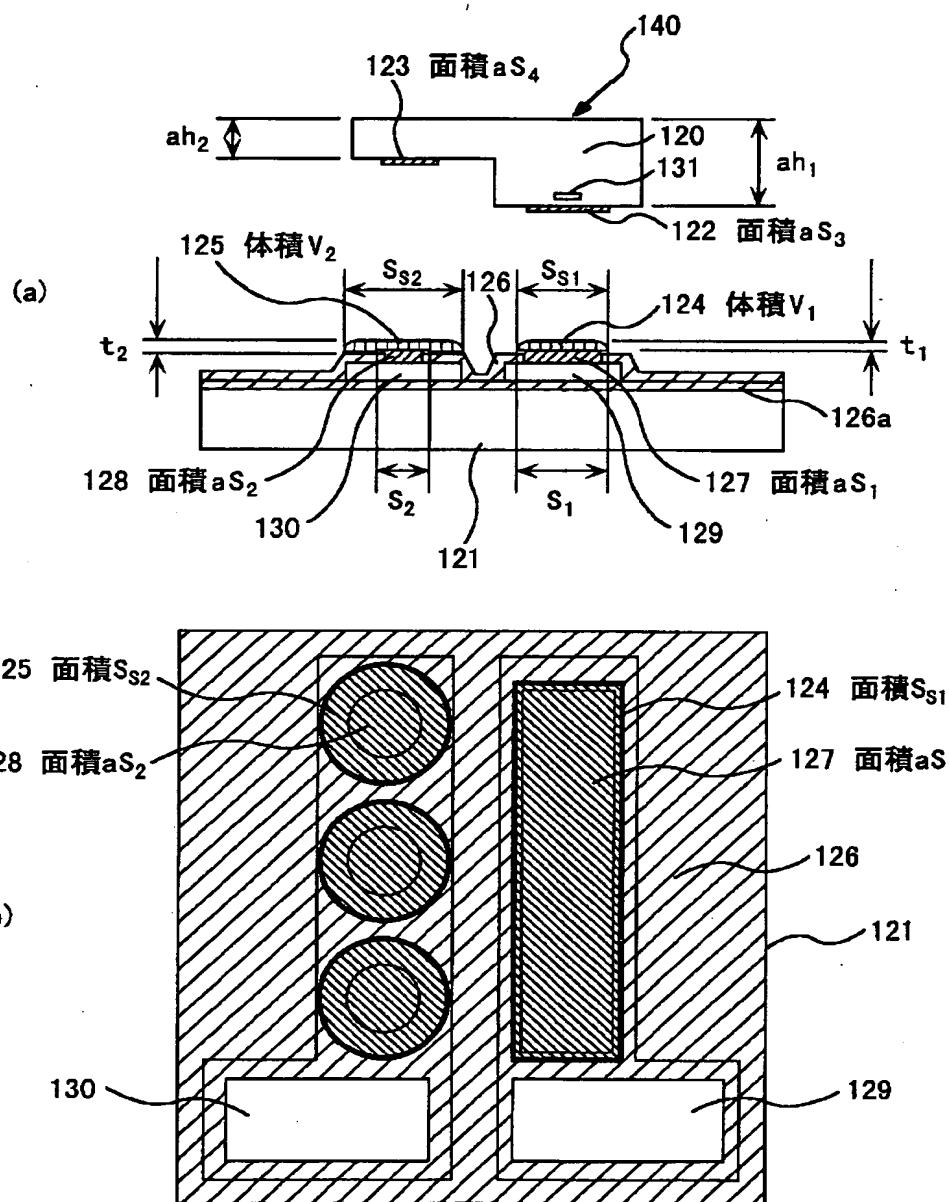
【図1】

図 1



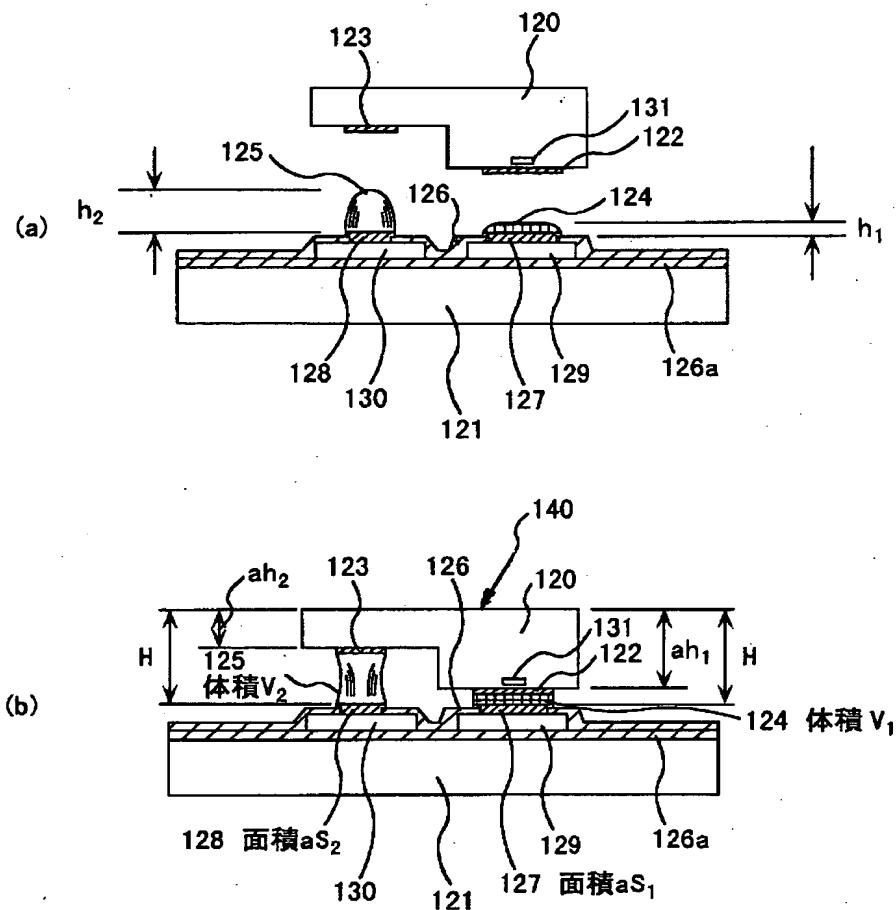
【図2】

图 2



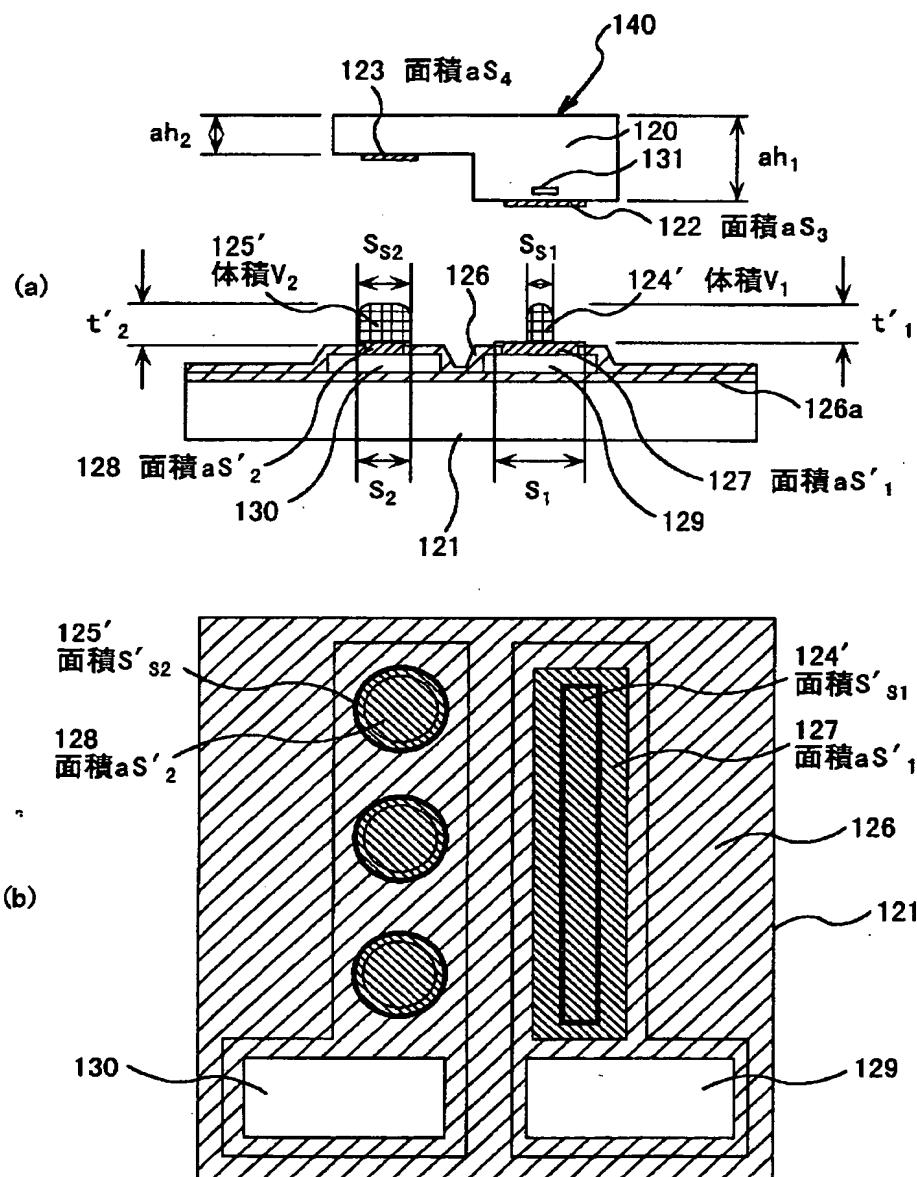
【図3】

図 3



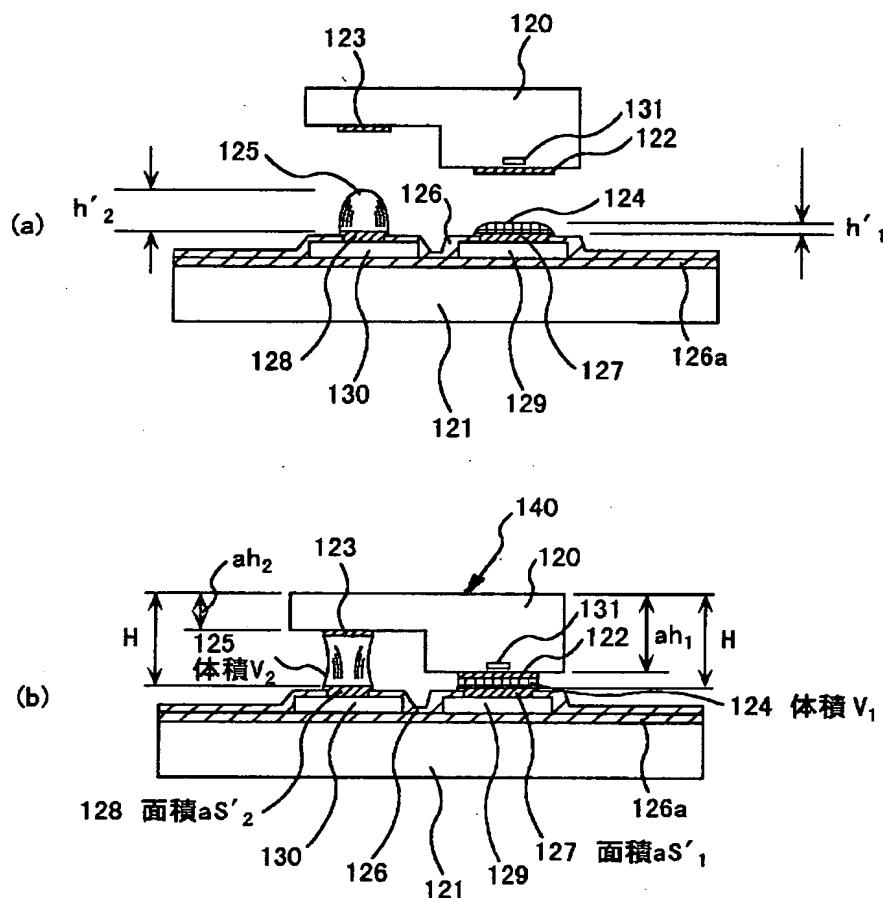
【図4】

図 4



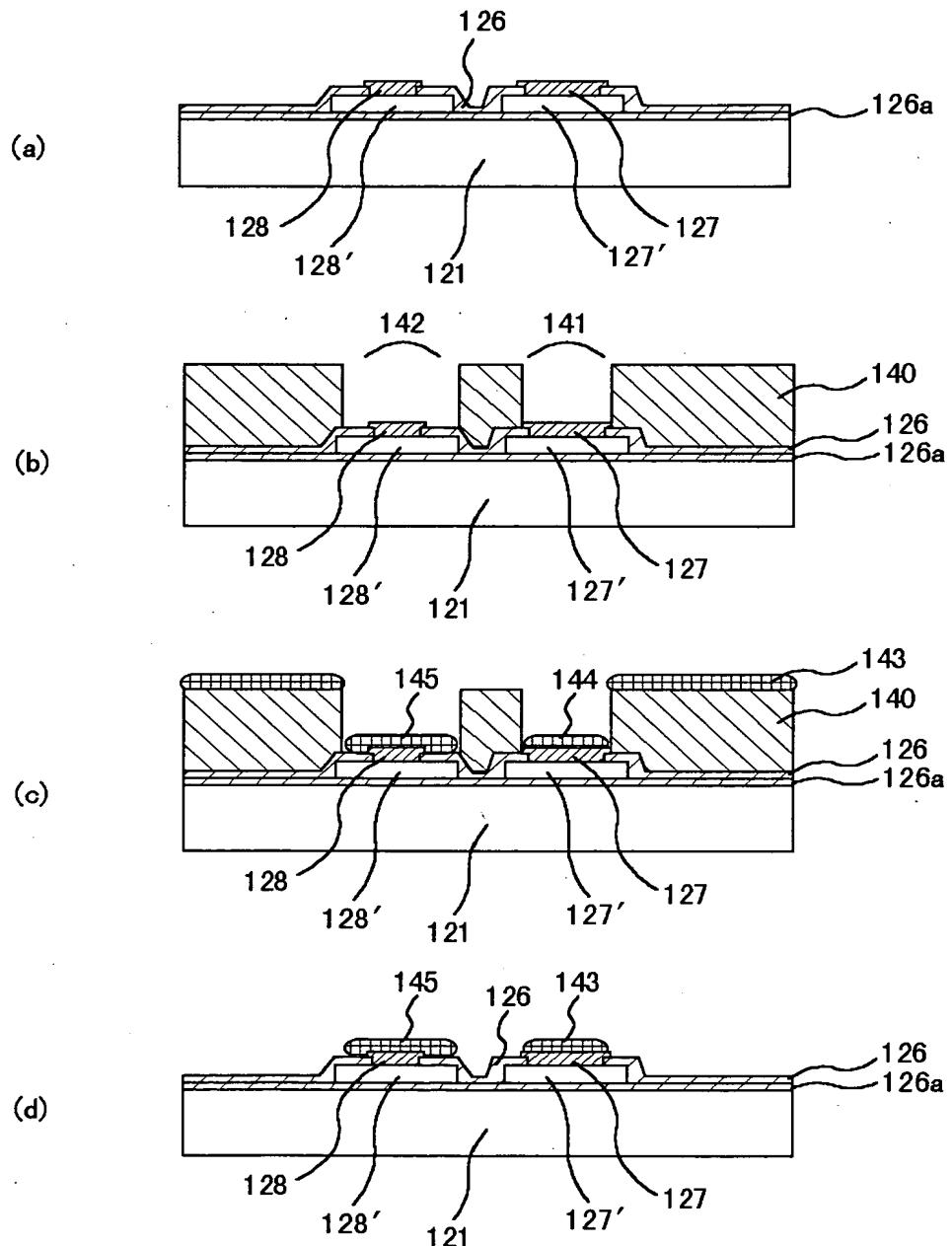
【図5】

図 5



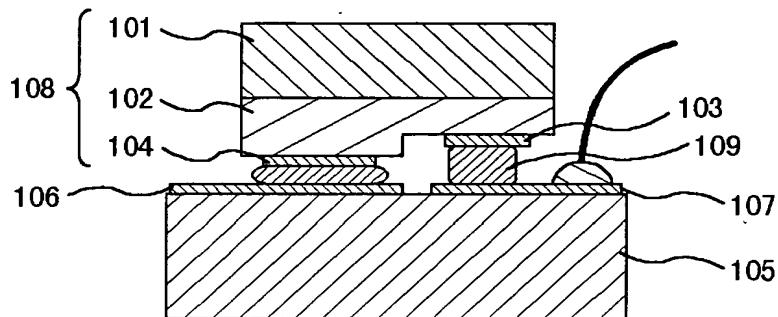
【図6】

図 6



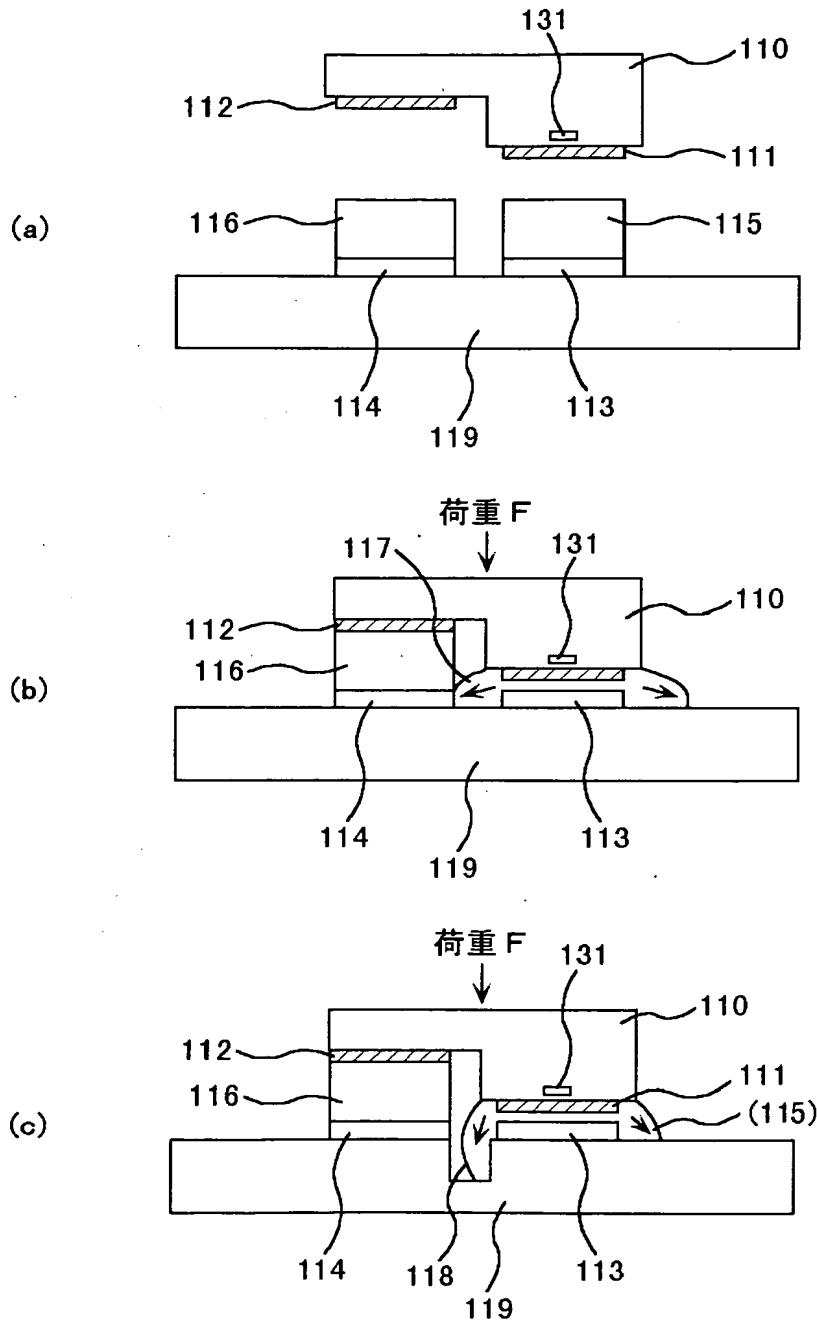
【図7】

図 7



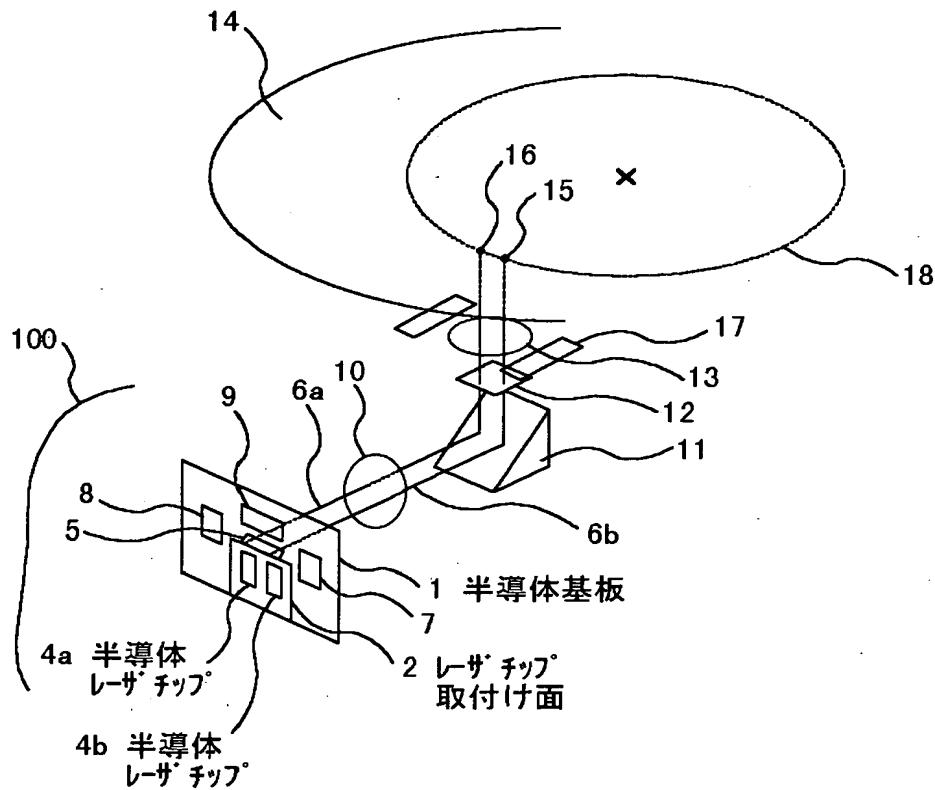
【図8】

図 8



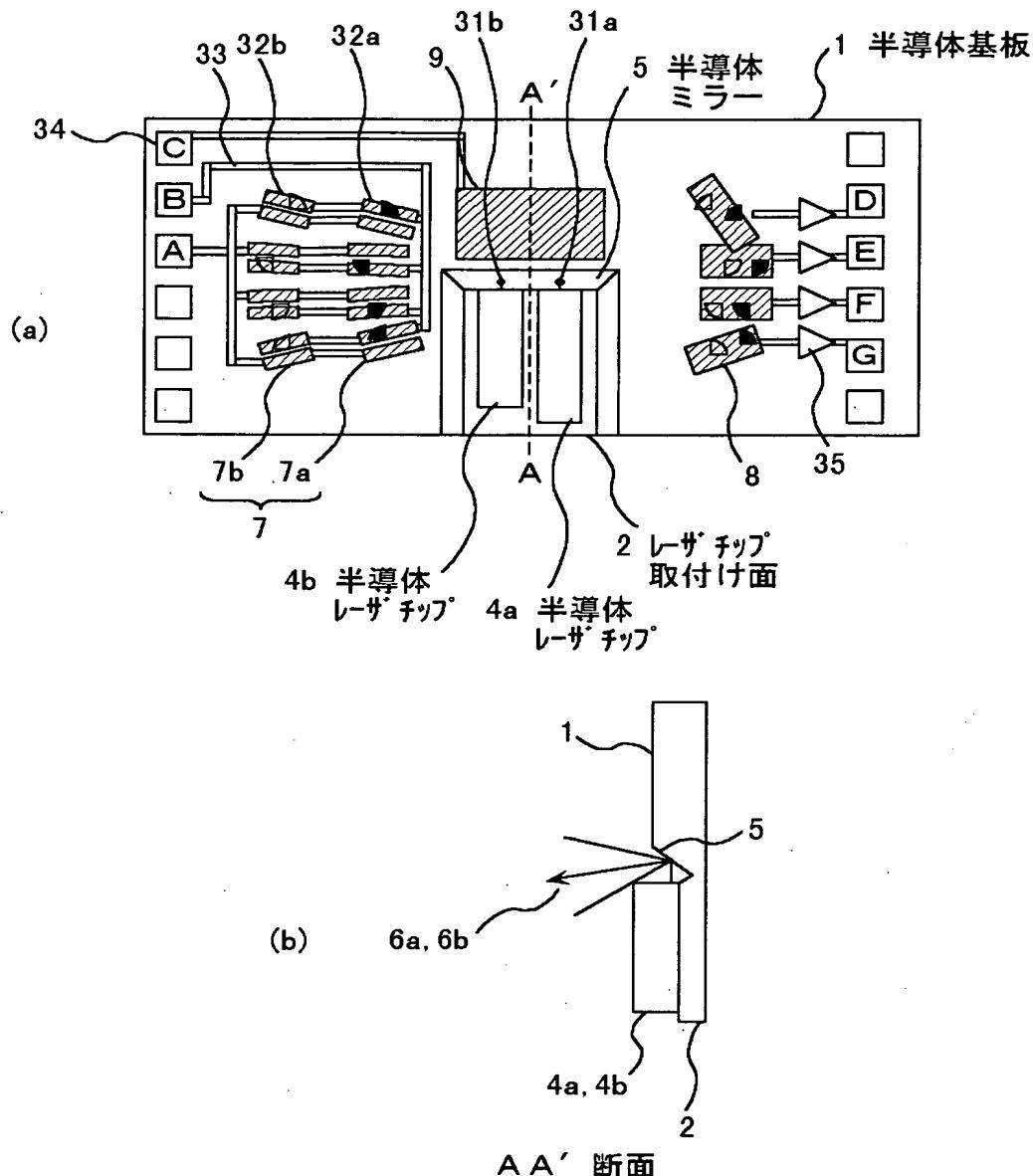
【図9】

図 9



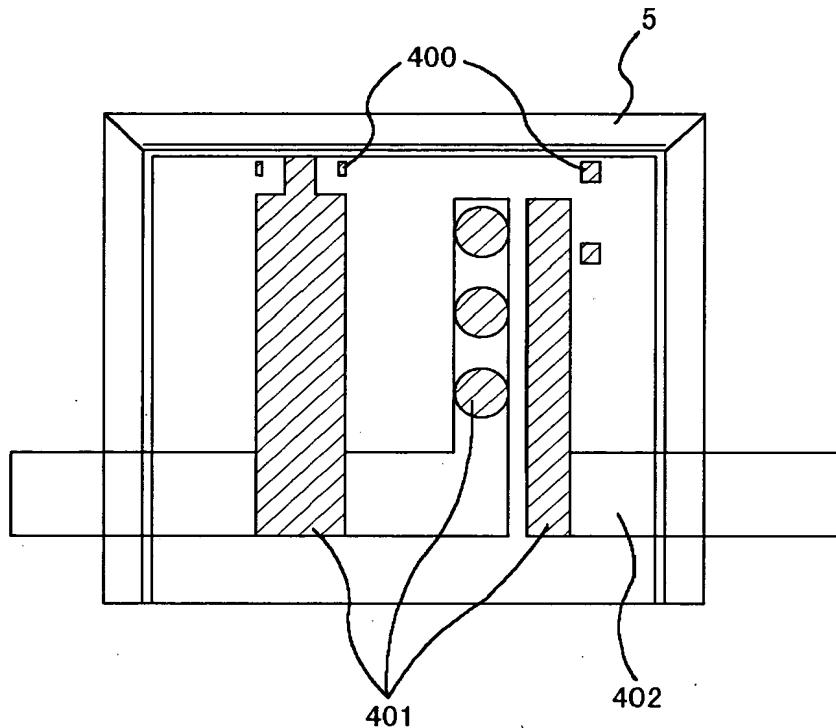
【図10】

図 10



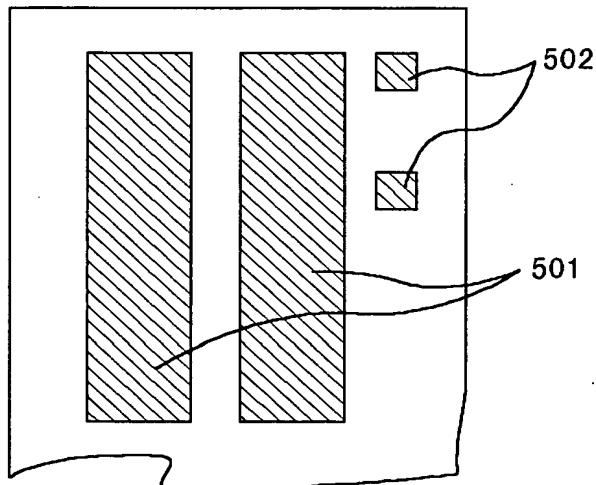
【図11】

図 11



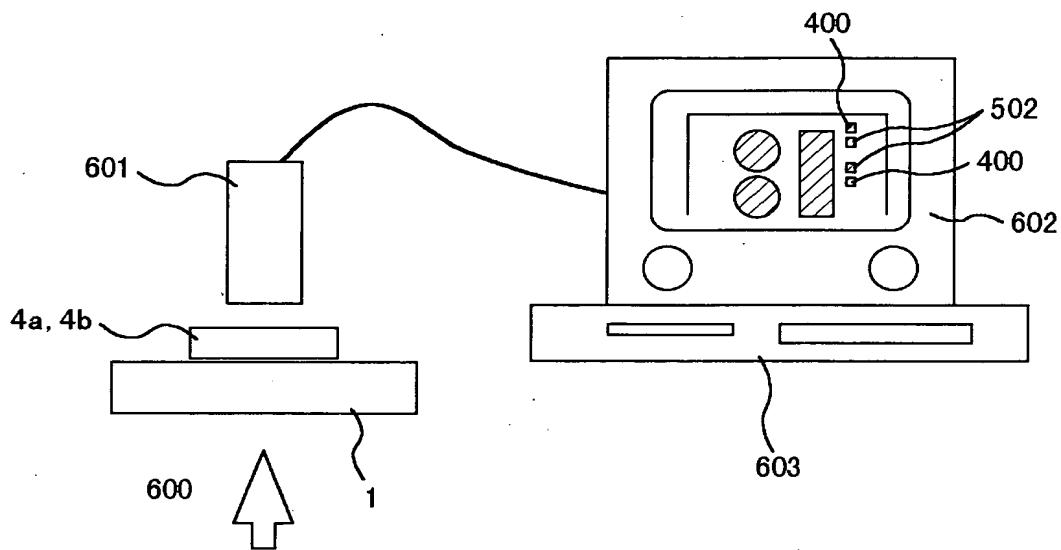
【図12】

図 12



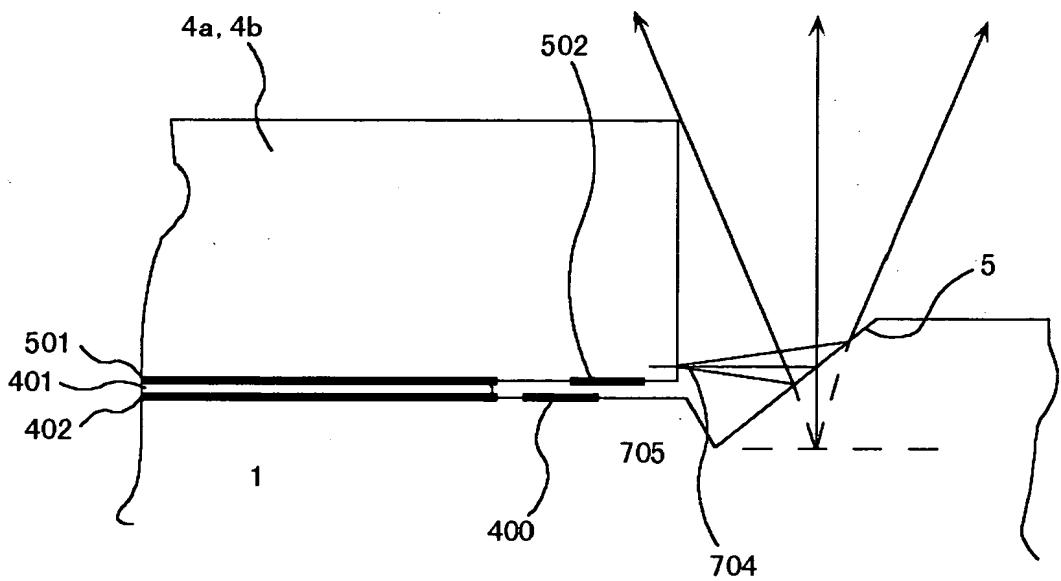
【図13】

図 13



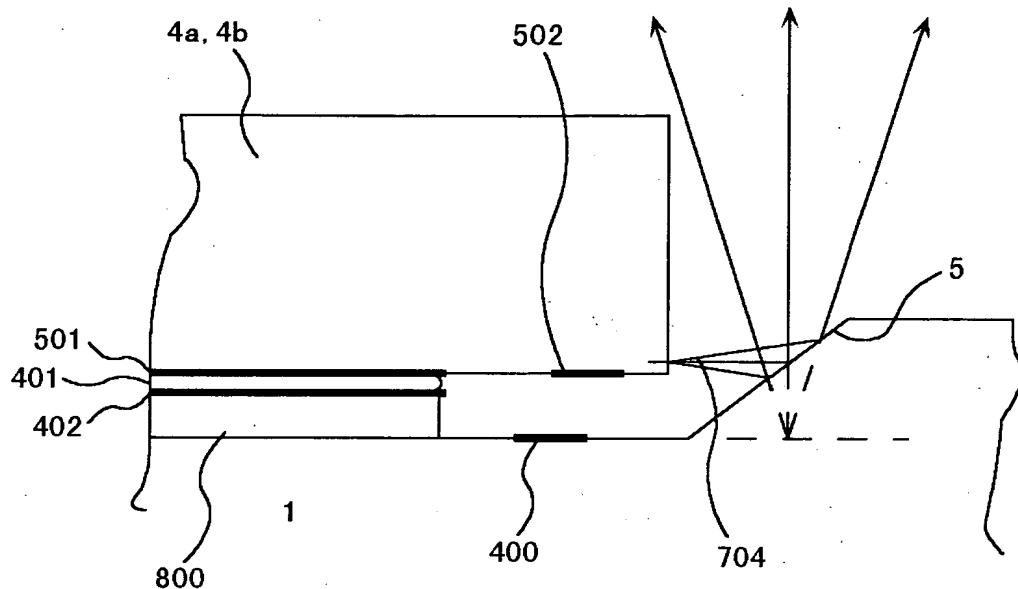
【図14】

図 14



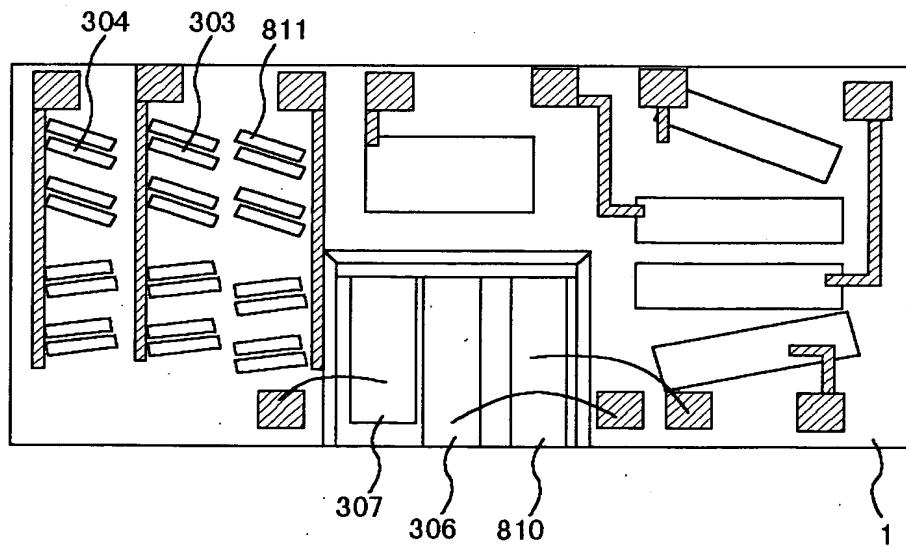
【図15】

図 15



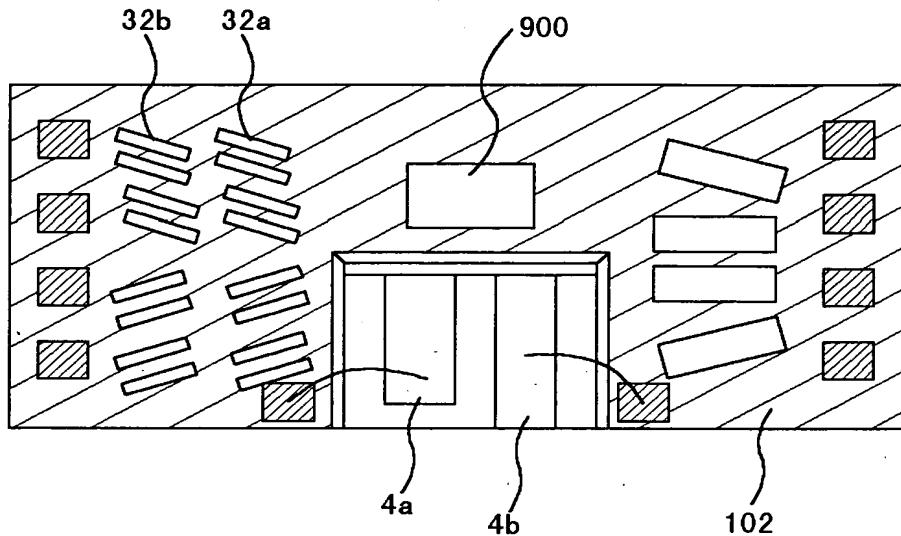
【図16】

図 16



【図17】

図 17



【書類名】 要約書

【要約】

【課題】 本発明の目的は、搭載用基板に対向する表面に段差を有する光デバイスをフェースダウンで良好に搭載する方法を提供することである。更に、本発明の別な目的は、当該光デバイスを用いた光ヘッド装置の小型化、薄型化を実現することである。

【解決手段】 本発明の代表的な例は、次の通りである。搭載用の基板に対向する表面に段差を有する光デバイスを搭載する基板に電極を設ける際、各電極とはんだパターンの面積比を配線電極部毎に異なるように形成する。この実装用基板と光デバイスとをはんだの溶融によって実装を行なうが、はんだ溶融によって、少なくともはんだの高さが制御され、搭載用の基板に対向する表面に段差を有する光デバイスのフェースダウンによる搭載が良好に実現できる。実装用基板で、当初、はんだの覆う領域の性質が、はんだに対する濡れ性が低いか、高いかによって、そのはんだ量をあらかじめ調節しておく。更に、こうした光デバイスの実装方法を用いるが故、こうした光源を用いた本発明の光ヘッド装置は、部品点数の削減、或いは一つの基板へ新たな部品の集積化を可能とする。従って、当該光ヘッド装置の小型化、薄型化に極めて有用である。

【選択図】 図1

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出願人履歴情報

識別番号 [000226057]

1. 変更年月日 1990年 8月18日

[変更理由] 新規登録

住 所 徳島県阿南市上中町岡491番地100

氏 名 日亜化学工業株式会社